

## 第 5 回(9 月 18 日) 状態を変える回路による情報処理

### -組み合わせ論理回路の実験-

プログラム内蔵方式の装置の動作原理は条件によって状態が変化するというルールによって動作しています。情報処理の動作は状態の遷移で行われます。状態の遷移させる動作をさせる回路を組み合わせ論理回路といい状態の変換を行う動作をします。

- 5.1 トランジスタ論理回路による解読器
- 5.2 2 進数の解読器の形成
- 5.3 共用出力用の論理和(OR)回路
- 5.4 符号器に用いられるOR回路
- 5.5 一行のデジタル加算回路(半加算器)
- 5.6 状態を遷移する電子回路
- 5.7 まとめ

#### 5.1 トランジスタ組み合わせ論理回路による解読器

##### 5.1.1 トランジスタ AND 回路

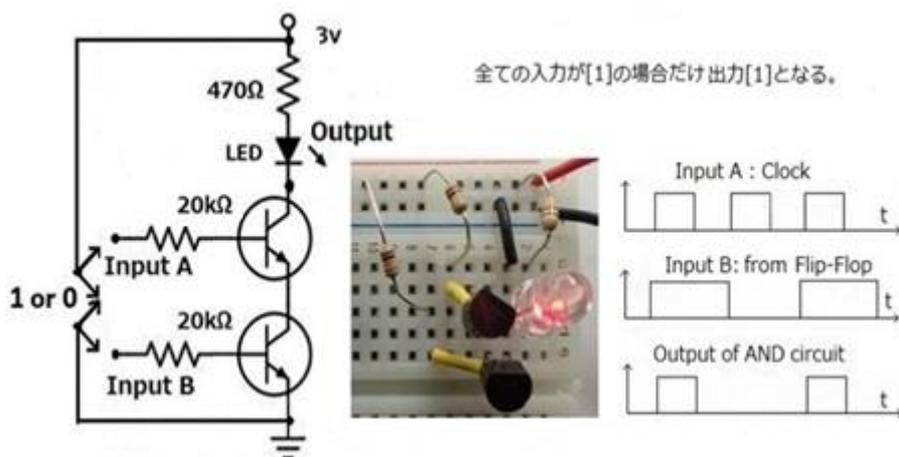


図 28 トランジスタ論理積(AND)回路

図 29 AND 回路の入力と出力のタイムチャート

図 28 に AND 論理のトランジスタ回路の例を示します。AND 回路は全ての入力が[1]の場合だけ[1] が出力されます。言い換えれば、一つでも[0]の入力あれば[0]が出力されます。

データの組み合わせが時間の経過によって変化する様子はタイムチャートを使って表現します。図 29 のタイムチャートは入力 A をクロックパルス (例えば 4.3 節のマルチバイブレータの出力) として 4.4 節の 2 進計数回路動作のフリップフロップの出力を入力 B として AND 回路に入力すれば出力にパルス幅の狭いパルスが得られることを示します。

更に、パルス幅の広い 2 種類のパルスによって、データバスにデータを保持し、パルス幅の狭いパルスによって、データバスからデータを取り込むことができます。

## 5.2 2進数の解読器の形成

図 28 の AND 論理のトランジスタ回路の例として、Input B の前段に反転[NOT]回路を入れるとこの回路は入力が[0,1]の場合だけ[1] が出力されます。図 29 に、A を上位の桁、B を下位の桁とする 2 桁の 2 進数を 10 進数に変換する論理回路を示します。

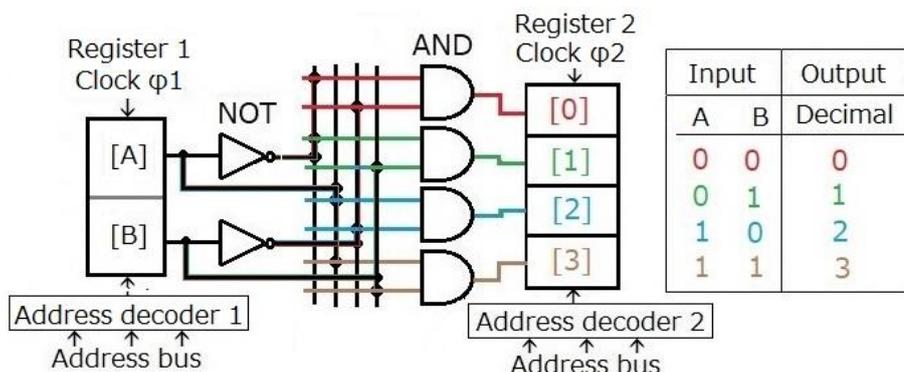


図 30 2 桁の 2 進数を 10 進数で解読する論理回路

出力を入力によって次のように決めます。

1. A と B を入力とする AND 回路は A=1, B=1 の場合にだけ出力が出ます。この出力を 3 とします。
2. A=1, B=0 の場合には B の回路だけに反転(NOT)回路を通過してから AND 回路に入力すれば、(1,0) の時だけ出力があります。この出力を十進数の 2 とします。
3. A=0, B=1 の場合には A の回路だけに反転(NOT)回路を通過してから AND 回路に入力すれば(0,1) の時だけ出力があります。この出力を十進数の出力の 1 とします。
4. A=0, B=1 の場合には A と B の回路に反転(NOT)回路を通過してから AND 回路に入力すれば、A=0, B=0 の場合にだけ出力が[あり、この出力を 0 とします。

図 31 に、A を上位の桁、B を下位の桁とする 2 桁の 2 進数を 10 進数で解読するトランジスタ回路を示します。それぞれの出力について AND 論理回路で解読しています。

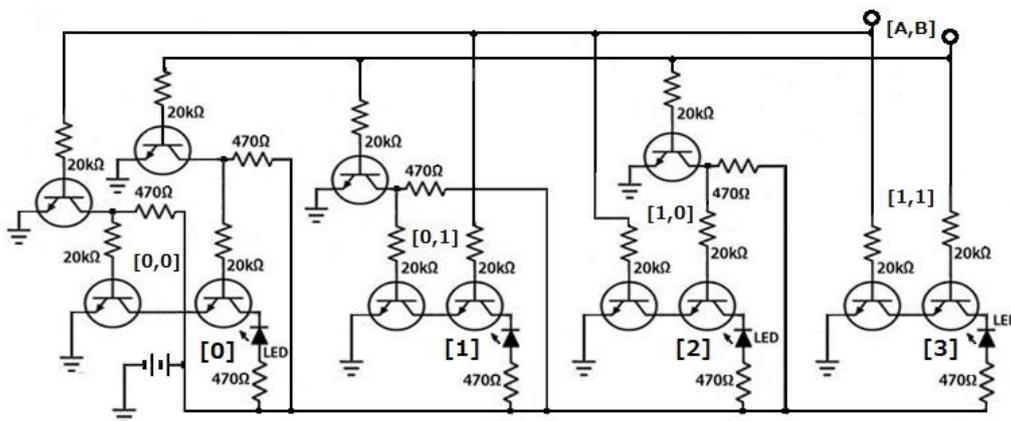


図 31 2 桁の 2 進数を 10 進数で解読するトランジスタ回路

2桁の2進数を10進数で解読するトランジスタ回路の写真を図32に示します。入力端子対にデジタル信号を入力すると10進数に振り分けられます。なお、入力端子が解放されている状態は[L]レベルが入力された応答を示します。

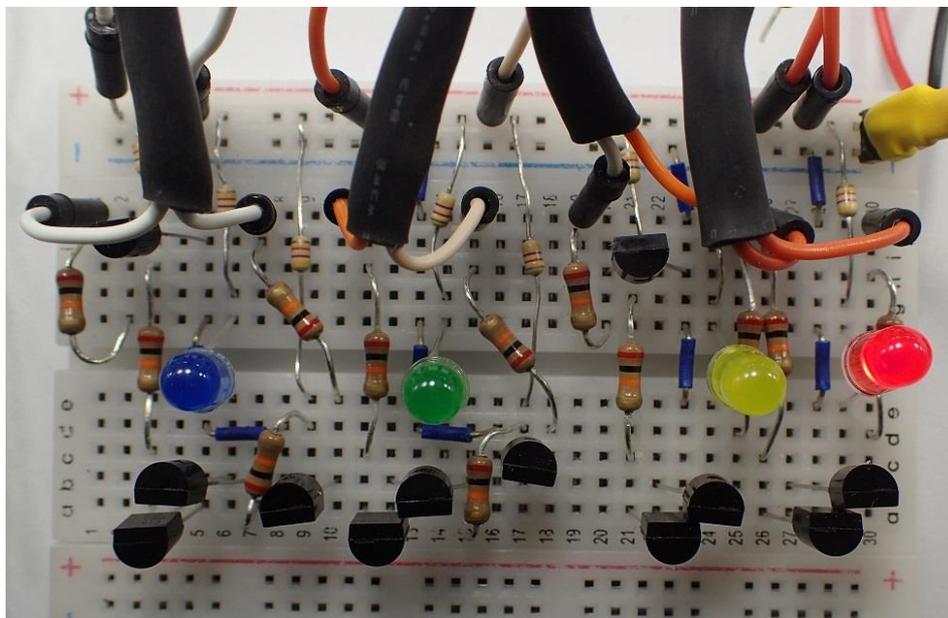


図32 2桁の2進数を10進数で解読するトランジスタ回路の例

### 5.3 共用出力用のOR回路

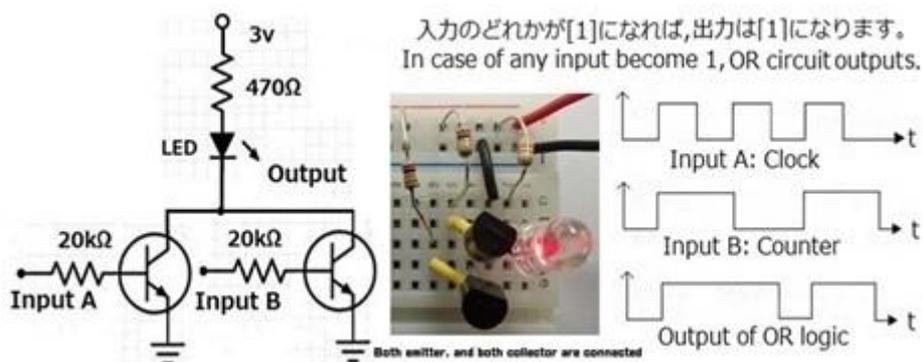


図33 論理和(OR)回路

図33の左側にOR回路を示し、中央部にOR回路の記号を示します。OR回路は複数の入力と1個の出力があり、バスの降車ボタンのように多くのスイッチで降車の情報を知らせるような場合に使います。

また、複数の入力がそれぞれ別々に変化する場合には、タイムチャートによってその動作を表します。図32のタイムチャートに示すようにOR回路によって新たなパルス列を作ることができます。

OR回路は入力のいずれかがONになった場合にONを出力します。

A=[1]、B=[1]が入力した場合 OR 回路だけでは二進数の加算器はできません。桁をあげる操作をする回路を必要とします。

## 5.4 符号器に用いられるOR回路

### 5.4.1. 0~3の2進数を得る論理図と真理値表

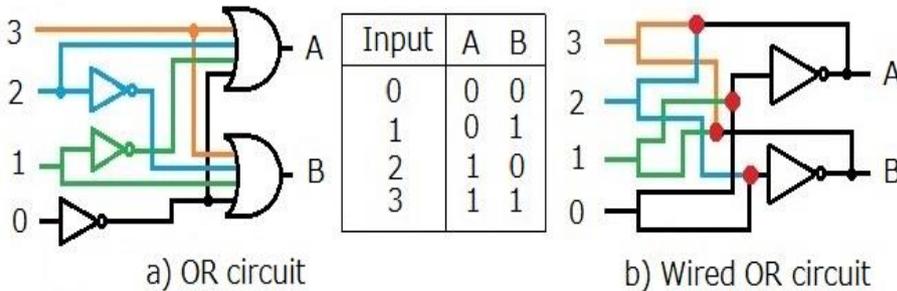


図 34 符号器に用いられる OR 論理回路

図 34 の a) 図では共用出力用の OR 回路に入力する各回路は独立しています。図 33 の b) 図に示したようにワイヤード OR の接続をすると、その配線によって全部の入力側が接続してしまっています。別々な状況によって稼働させられる共用出力の多数の入力回路は OR 回路で接続しなければなりません。共用される出力は異なる時間の制御で形成されます。異なる状態で入力したそれぞれの回路は独立していなければなりません。

### 5.4.2 [0~3]の2進数を得るトランジスタ回路

図 34 符号器で入力端子の 0, 1, 2, 3 の中で一つの端子に [H]レベルを入力した時に対応した回路が動作します。2 桁の 2 進数を LED の発光で表示するトランジスタ回路を図 35 に示します。なお、出力[A]が上位の桁です。図 34 の回路は誤動作する可能性がある浮いた端子があります。

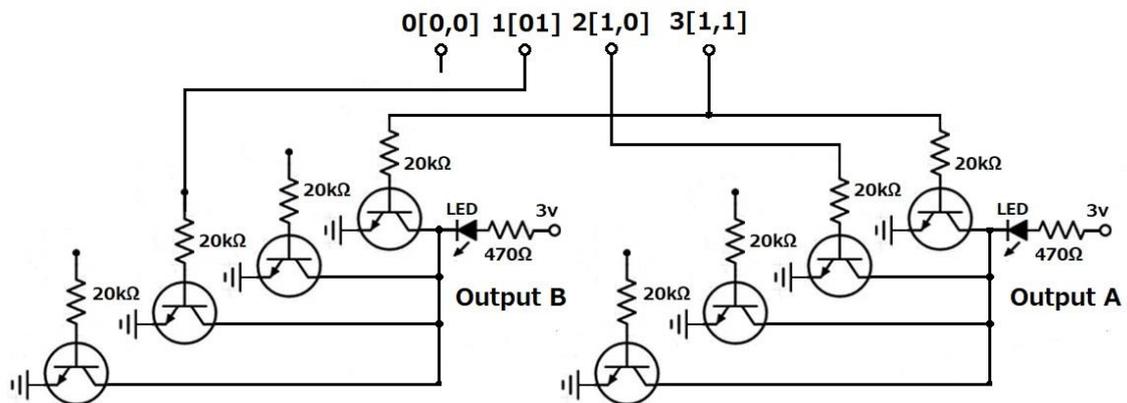


図 35 2進数2桁のトランジスタ OR 回路による符号器

図 35 の符号器のトランジスタ回路を図 36 に示します。入力端子の緑は 0[0,0]、黄色は 1[0,1]、橙は 2[1,0]、赤は 3[1,1]の入力端子です。入力端子を電源のプラスに接続するとデジ

タルの信号が点灯により示されます。

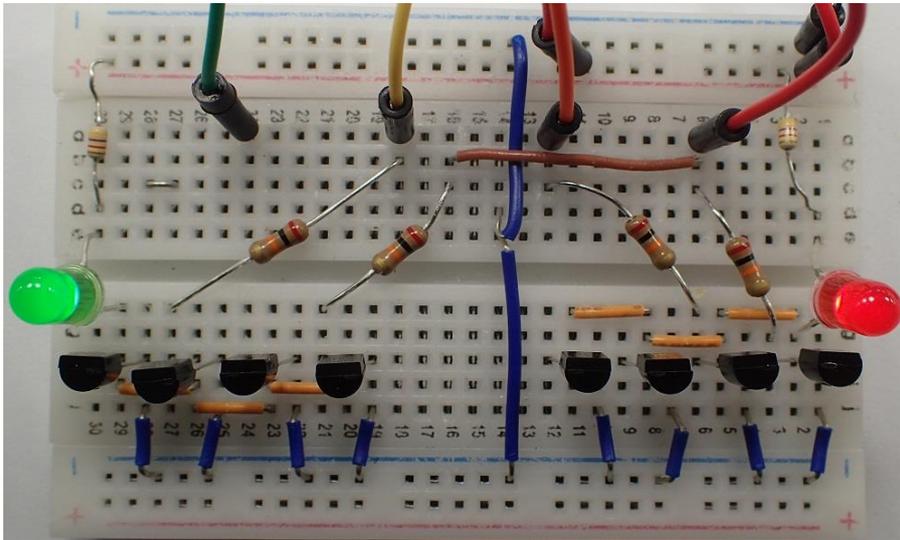


図 36 [0~3]の2進数を得る実際のトランジスタ回路

### 5.5 一桁のデジタル加算回路(半加算器)

一桁のデジタル加算回路を半加算器と言います。半加算回路の論理回路図を 図 37 の右上に示します。なお、下の桁からの桁上げを含む回路は入力端子が3つになります。その加算回路を全加算器と言います。図 37 に示す半加算器を作成し、その動作を確認してみましょう。

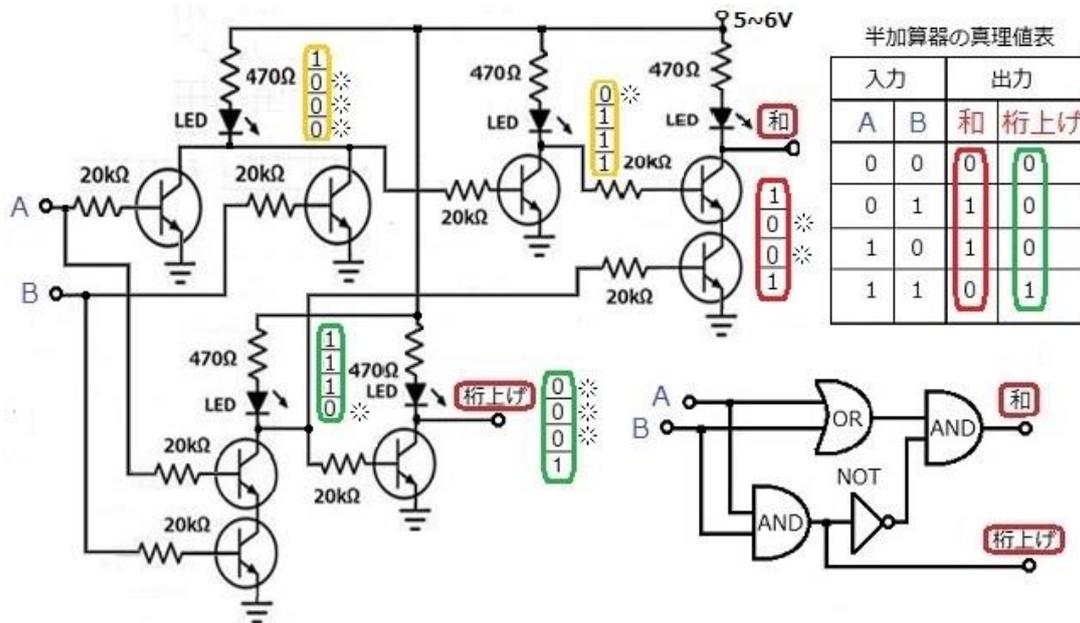


図 37 トランジスタ回路による半加算器

図 38 にトランジスタ回路による半加算器の写真を示します。電源電圧を 3V とすると入力段の OR 回路の出力を反転して、出力の AND 回路を導通させるラインの電圧が不足する

ので LED 発光が弱いです。白色の LED の立ち上がり電圧は大きいと誤動作します。そこで、図 37 では入力段の OR 回路の出力を反転して、出力の AND 回路を導通させるラインの電圧が不足するので電源電圧を 5~6V としています。

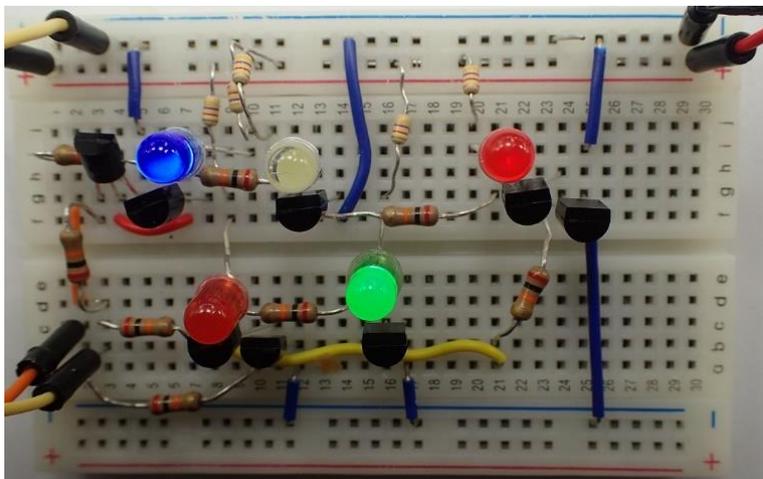


図 38 トランジスタ回路による半加算器

#### [1 回の配線で完璧に動作をさせる配線の作業方法]

最初にトランジスタ回路を作成してから、その回路を端から端までチェックするとすると、回路が複雑であるのが関係し、一部の回路だけをチェックすることが難しくなります。

そこで、次回からはブロック単位に分割して、配線したブロックをテストし、正常に動作するのを確認してから、次のブロックの接続を加えて、正常に動作するのを確認します。そのブロックに次のブロックを接続しては、正常に動作するのを確認するという作業により、一回の配線で完璧に動作をさせるようにします。

一つの工程ごとにチェックして、不完全であればその不完全を取り除くようにし、最後まで行い、必ず成功させる方法は半導体集積回路を作成する工程と同じ方法です。

## 5.6 状態を遷移する電子回路

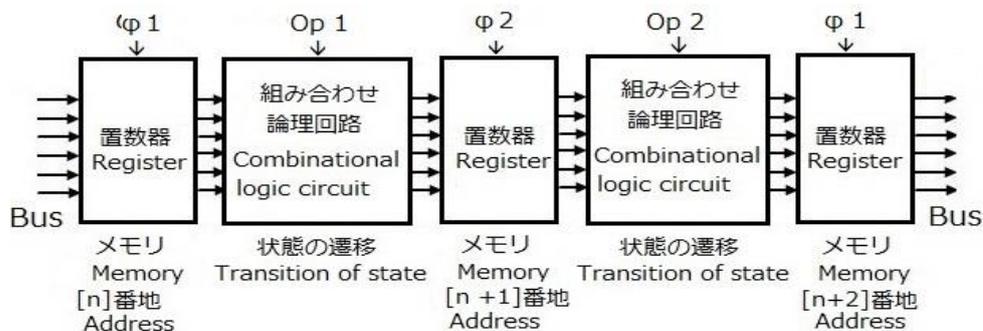


図 39 状態を遷移する電子回路

図 39 に示すように、デジタル情報処理ではデータをフリップフロップ回路に保持しておいて組み合わせ論理回路によって情報を処理します。

一つの状態の遷移の結果が次の状態遷移に反映するためには、状態遷移が一度に進行してしまうことを避ける必要があります。そのためにゲートを開く制御信号は前と後のレジスタについて遅延時間を設定しています。2相クロックシステムでは、 $\phi 1$  および  $\phi 2$  の2種類のクロックパルスによりゲートを開閉して時間の進行でデータの転送が行われます。

## 5.7 まとめ

コンピュータでは状態の遷移させる動作を組み合わせ論理回路で行っています。その際にレジスタが重要な役割を果たします。そこで、コンピュータをレジスタマシンと呼ぶことがあります。コンピュータは時間の進行おこなう状態遷移をプログラムすることによってプログラムによって指定された動作をさせています。レジスタとメモリの間の接続はメモリのアドレスによって行うので、アドレスのデータを流す制御用の配線群（アドレスバス）と制御配線群（コントロールバス）とデータを流す配線群（データバス）があります。

神経回路でも組み合わせ論理回路と同様に配線が独立しています。そこで、大脳では皮質部に神経細胞があり、内部には膨大な数の神経の配線群があります。配線が操り人形の糸の役割を果たしています。神経回路では信号は活動の有無を活動電位により知らせるのですが、接続された活動に意味があります。

筋肉は多くの入力のOR論理の接続によって駆動されます。小脳にはプルキンエ細胞があって刺激を抑圧するという動作が見いだされています。これは興奮性刺激が来ない時に抑圧性神経伝達物質を興奮性の刺激の神経回路に放出するものです。いろいろな活動で動作する筋肉細胞を制御するには、興奮性刺激がない時に筋肉の活動を抑えるということで、OR動作をしていることが説明できます。